



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 100 45 694 A 1**

⑤① Int. Cl. 7:
H 01 L 27/108
H 01 L 21/8242

⑦① Aktenzeichen: 100 45 694.4
⑦② Anmeldetag: 15. 9. 2000
⑦③ Offenlegungstag: 4. 4. 2002

DE 100 45 694 A 1

⑦① Anmelder:
Infineon Technologies AG, 81669 München, DE

⑦④ Vertreter:
Epping, Hermann & Fischer, 80339 München

⑦② Erfinder:
Schrems, Martin, Dr., 01465 Langebrück, DE

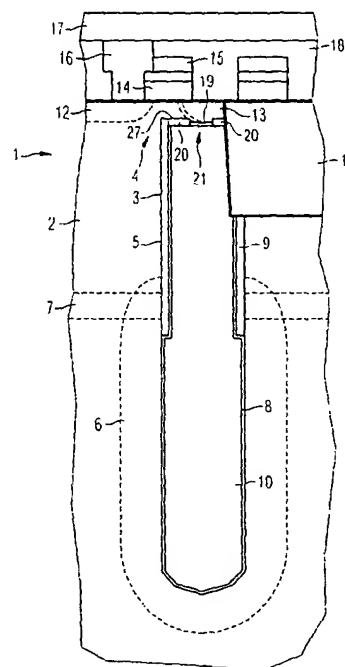
⑤⑥ Entgegenhaltungen:
DE 199 46 719 A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Halbleiterspeicherzelle mit Grabenkondensator und Auswahltransistor und Verfahren zu ihrer Herstellung

⑤⑦ Die vorliegende Erfindung betrifft eine Halbleiterspeicherzelle (1), die in einem Substrat (2) gebildet ist und einen Grabenkondensator (3) und einen Auswahltransistor (4) umfaßt. Der Grabenkondensator (3) umfaßt ein Kondensatordielektrikum (8) und eine leitende Grabenfüllung (10). Auf der leitenden Grabenfüllung (10) ist eine Diffusionsbarriere (19) angeordnet, auf der eine Epitaxieschicht (24) gebildet ist. Der Auswahltransistor (4) ist als planarer Transistor oberhalb des Grabenkondensators (3) angeordnet, wobei ein Drain-Dotiergebiet (13) des Auswahltransistors (4) in der Epitaxieschicht (24) angeordnet ist.



DE 100 45 694 A 1

[0001] Die vorliegende Erfindung betrifft eine Halbleiterspeicherzelle mit einem Grabenkondensator und einem Auswahltransistor sowie ein Verfahren zu ihrer Herstellung.

[0002] Integrierte Schaltungen (ICs) oder Chips verwenden Kondensatoren zum Zwecke der Ladungsspeicherung, wie z. B. ein dynamischer Schreib-/Lesespeicher mit wahlfreiem Zugriff (DRAM). Der Ladungszustand in dem Kondensator repräsentiert dabei ein Datenbit.

[0003] Ein DRAM-Chip enthält eine Matrix von Speicherzellen, welche in Form von Zeilen und Spalten angeordnet sind und von Wortleitungen und Bitleitungen angesteuert werden. Das Auslesen von Daten aus den Speicherzellen oder das Schreiben von Daten in die Speicherzellen wird durch die Aktivierung geeigneter Wortleitungen und Bitleitungen bewerkstelligt.

[0004] Üblicherweise enthält eine DRAM-Speicherzelle einen mit einem Kondensator verbundenen Transistor. Der Transistor enthält zwei Diffusionsgebiete, welche durch einen Kanal voneinander getrennt sind, der von einem Gate gesteuert wird. Abhängig von der Richtung des Stromflusses wird ein Diffusionsgebiet als Drain und das andere als Source bezeichnet. Das Drain-Gebiet ist mit der Bitleitung, das Source-Gebiet mit dem Grabenkondensator und das Gate mit der Wortleitung verbunden. Durch Anlegen geeigneter Spannungen an das Gate wird der Transistor so gesteuert, daß ein Stromfluß zwischen dem Drain- und dem Source-Gebiet durch den Kanal ein- und ausgeschaltet wird.

[0005] Die in dem Kondensator gespeicherte Ladung baut sich mit der Zeit aufgrund von Leckströmen ab. Bevor sich die Ladung auf einen unbestimmten Pegel unterhalb eines Schwellwertes abgebaut hat, muß der Kondensator aufgerichtet werden. Aus diesem Grund werden diese Speicherzellen als dynamisches RAM (DRAM) bezeichnet. Eine typische Ausgestaltung eines Halbleiterspeichers mit einem Grabenkondensator und einem Auswahltransistor ist in der Patentschrift US 5,867,420 angegeben.

[0006] Ein Problem bei den bekannten DRAM-Varianten ist die Erzeugung einer ausreichend großen Kapazität des Grabenkondensators. Diese Problematik verschärft sich in Zukunft durch die fortschreitende Miniaturisierung von Halbleiterbauelementen. Die kontinuierliche Erhöhung der Integrationsdichte bedeutet, daß die pro Speicherzelle zur Verfügung stehende Fläche und damit die Kapazität des Grabenkondensators immer weiter abnimmt. Eine zu geringe Kapazität des Grabenkondensators kann die Funktionsfähigkeit und Verwendbarkeit der Speichervorrichtung widrig beeinflussen, da eine zu geringe Ladungsmenge in dem Grabenkondensator gespeichert wird.

[0007] Beispielsweise erfordern Leseverstärker einen ausreichenden Signalpegel für ein zuverlässiges Auslesen der in der Speicherzelle befindlichen Informationen. Das Verhältnis der Speicherkapazität des Grabenkondensators zu der Bitleitungskapazität ist entscheidend bei der Bestimmung des Signalpegels. Falls die Speicherkapazität des Grabenkondensators zu gering ist, kann dieses Verhältnis zu klein zur Erzeugung eines ausreichenden Signals in dem Leseverstärker sein.

[0008] Ebenfalls erfordert eine geringe Speicherkapazität eine höhere Auffrischfrequenz, denn die in dem Grabenkondensator gespeicherte Ladungsmenge ist durch seine Kapazität begrenzt und nimmt zusätzlich durch Leckströme ab. Wird eine Mindestladungsmenge in dem Speicherkondensator unterschritten, so ist es nicht mehr möglich, die in ihm gespeicherte Information mit den angeschlossenen Leseverstärkern auszulesen, die Information geht verloren und es kommt zu Lesefehlern.

[0009] Zur Vermeidung von Lesefehlern bietet sich die Reduktion der Leckströme an. Zum einen können Leckströme durch Transistoren, zum anderen können Leckströme durch Dielektrika, wie z. B. das Kondensatordielektrikum, reduziert werden. Durch diese Maßnahmen kann eine unerwünscht verringerte Speicherzeit (retention time) verlängert werden.

[0010] Üblicherweise wird in DRAMs ein Grabenkondensator verwendet. Ein Grabenkondensator hat eine dreidimensionale Struktur, welche in einem Siliziumsubstrat ausgebildet ist. Eine Erhöhung der Grabenkondensator-Elektrodenfläche und damit der Kapazität des Grabenkondensators kann durch tieferes Atzen in das Substrat erreicht werden. Dabei bewirkt die Steigerung der Kapazität des Grabenkondensators keine Vergrößerung der von der Speicherzelle beanspruchten Substratoberfläche. Dieses Verfahren ist aber beschränkt, da die erzielbare Ätztiefe des Grabenkondensators von dem Grabendurchmesser abhängt, und bei der Herstellung nur bestimmte, endliche Aspektverhältnisse (Verhältnis zwischen Grabentiefe zu Grabendurchmesser) erzielbar sind.

[0011] Bei fortschreitender Erhöhung der Integrationsdichte nimmt die pro Speicherzelle zur Verfügung stehende Substratoberfläche immer weiter ab. Die damit verbundene Reduktion des Grabendurchmessers führt zwangsläufig zu einer Verringerung der Grabenkondensatorkapazität. Ist die Grabenkondensatorkapazität so gering bemessen, daß die speicherbare Ladung nicht zum einwandfreien Auslesen mit den nachgeschalteten Leseverstärkern ausreicht, so hat dies Lesefehler zur Folge.

[0012] Aus der Patentschrift US 5,360,758 ist bekannt, daß bei Speicherzellen mit Grabenkondensator und Auswahltransistor ein Mindestabstand zwischen dem Grabenkondensator und dem Transistor eingehalten werden muß. Dies ist erforderlich, da bei Temperaturschritten der elektrische Kontakt zwischen dem Grabenkondensator und dem Transistor durch Ausdiffusion von Dotierstoff, der sich ursprünglich in dem Grabenkondensator befindet, hergestellt wird. Die Ausdiffusion des Dotierstoffs erstreckt sich dabei typischerweise über Strecken zwischen 50 und 150 Nanometer (nm). Hierbei muß sichergestellt werden, daß der Dotierstoff nicht in den Kanal des Auswahltransistors diffundiert, wo er zu erhöhten Leckströmen durch den Transistor führen kann, welche die betreffende Speicherzelle unbrauchbar machen. Das bedeutet, daß eine theoretisch ohne Ausdiffusion mögliche Speicherzelle um die Größe der Ausdiffusion vergrößert werden muß.

[0013] Es ist die Aufgabe der Erfindung, eine Halbleiterspeicherzelle mit verringertem Platzbedarf und verbesserter Speicherzeit, sowie ein Verfahren zu ihrer Herstellung anzugeben.

[0014] Die Aufgabe wird gelöst durch eine Halbleiterspeicherzelle mit:

– einem Graben, in dem ein Grabenkondensator angeordnet ist;

– einem Auswahltransistor, der als planarer Transistor oberhalb des Grabenkondensators ausgebildet ist;

– einem Kondensatordielektrikum, das in dem Graben angeordnet ist;

– einer leitenden Grabenfüllung, die in dem Graben angeordnet ist;

– einer Diffusionsbarriere, die auf der leitenden Grabenfüllung angeordnet ist;

– einer epitaktisch über die Diffusionsbarriere gewachsenen Epitaxieschicht;

– einem Source-Dotiergebiet des Auswahltransistors, das in der Epitaxieschicht angeordnet ist.

[0015] Durch die erfindungsgemäße Anordnung wird zunächst eine Diffusionsbarriere auf der leitenden Grabenfüllung angeordnet. Die Diffusionsbarriere hat die Aufgabe, in der leitenden Grabenfüllung befindlichen Dotierstoff an einer Ausdiffusion zu hindern, die den Auswahltransistor schädigen könnte. Neu ist dabei, daß die Diffusionsbarriere horizontal ausgebildet ist. Um den von der Speicherzelle verwendeten Platz möglichst klein zu gestalten, werden Maßnahmen getroffen, den Auswahltransistor möglichst direkt oberhalb des Grabenkondensators anzuordnen. Dazu wird der Grabenkondensator und die Diffusionsbarriere mit einer epitaktischen Schicht überwachsen. Die Epitaxieschicht bildet sich dabei einkristallin heraus, so daß in ihr ein Source-Dotiergebiet des Auswahltransistors angeordnet werden kann.

[0016] Eine erfindungsgemäße Anordnung sieht vor, daß das Source-Dotiergebiet des Auswahltransistors von unten mit der Diffusionsbarriere kontaktiert wird. Durch die Kontaktierung des Diffusionsgebietes von unten kann in vorteilhafter Weise Platz gespart werden, so daß die von der Speicherzelle verwendete Substratoberfläche möglichst klein ausgebildet werden kann. Weiterhin wird durch die direkte Kontaktierung des Source-Dotiergebietes ein niederohmiger Anschluß zwischen der Diffusionsbarriere und dem Source-Dotiergebiet gewährleistet.

[0017] Eine weitere Ausgestaltung der Erfindung sieht vor, daß die Diffusionsbarriere horizontal angeordnet ist. Durch die horizontale Anordnung der Diffusionsbarriere kann beispielsweise der gesamte Grabenquerschnitt mit der Diffusionsbarriere versehen werden, so daß zum einen das Ausdiffundieren von Dotierstoff aus dem Graben verhindert wird, und zum anderen eine möglichst große Fläche mit dem Source-Dotiergebiet des Auswahltransistors kontaktiert ist, was einen niederohmigen Kontakt gewährleistet. Die Diffusionsbarriere umfaßt auch eine vertikale Kontaktfläche. Weiterhin ist die Diffusionsbarriere zwischen dem Graben und dem Source-Dotiergebiet in dem Source-Dotiergebiet vergraben, wodurch die pn-Übergangsfläche des Source-Dotiergebietes zum Kanal und damit der Leckstrom verringert wird.

[0018] Eine weitere Variante der Erfindung sieht vor, daß auf der leitenden Grabenfüllung eine isolierende Deckschicht mit einem Innenloch angeordnet ist. Die isolierende Deckschicht isoliert zunächst die leitende Grabenfüllung von der darüber liegenden epitaktisch aufgewachsenen Epitaxieschicht. Das Innenloch in der Deckschicht gewährleistet allerdings, daß ein elektrischer Kontakt zwischen der leitenden Grabenfüllung und dem in der Epitaxieschicht angeordneten Source-Dotiergebiet des Auswahltransistors hergestellt werden kann. Eine weitere Variante der Erfindung sieht vor, daß in dem Innenloch ein leitender Kontakt angeordnet ist. Der leitende Kontakt ist so ausgebildet, daß er die leitende Grabenfüllung kontaktiert und das Innenloch der dielektrischen Schicht ausfüllt. Beispielsweise umfaßt die leitende Grabenfüllung Wolfram, Wolframnitrid, Titanitrid, Arsen oder Phosphor dotiertes Poly- bzw. amorphes Silizium.

[0019] Eine weitere vorteilhafte Ausgestaltung der Erfindung sieht vor, daß der leitende Kontakt die leitende Grabenfüllung an das Source-Dotiergebiet des Auswahltransistors anschließt. Diese Anordnung stellt einen leitenden Kontakt zwischen dem Grabenkondensator und dem Auswahltransistor her.

[0020] In einer weiteren vorteilhaften Ausgestaltung der Erfindung ist die Querschnittsfläche des Innenlochs in der dielektrischen Schicht kleiner als die Querschnittsfläche des Grabens. Durch diese Ausgestaltung ist gewährleistet, daß

der Graben einen großen Querschnitt aufweisen kann, und damit der Grabenkondensator eine große Kapazität besitzt, selbst wenn der Auswahltransistor relativ klein ausgebildet wird. Dadurch wird ein kleines Source-Dotiergebiet ermöglicht, da die Querschnittsfläche des Innenlochs kleiner ausgebildet wird als die Querschnittsfläche des Grabens, die somit an die Größe des Source-Dotiergebietes angepaßt werden kann. Das kleine Source-Dotiergebiet besitzt zusätzlich den Vorteil, daß der Leckstrom zwischen Kanal und Source-Dotiergebiet reduziert ist.

[0021] Weiterhin ist vorgesehen, daß die isolierende Deckschicht als seitlicher Randsteg ausgebildet ist. Die Ausbildung der isolierenden Deckschicht als seitlicher Randsteg umfaßt beispielsweise, daß die isolierende Deckschicht mit einer Spacer-Technik hergestellt wird. Dazu wird eine isolierende Schicht konform auf der Oberfläche abgeschieden und zurückgeätzt, wobei die isolierende Deckschicht als seitlicher Randsteg in dem Graben ausgebildet wird.

[0022] Eine weitere Ausgestaltung der Erfindung sieht vor, daß die isolierende Deckschicht eine Oberkante aufweist, und die Diffusionsbarriere vollständig unterhalb der Oberkante angeordnet ist. Der Vorteil dieser Anordnung ist eine kostengünstige Herstellung. Ein weiterer Vorteil ist, falls sich Kristallversetzungen an der Grenzfläche bilden, so können diese wegen der dielektrischen ringförmigen Schicht nicht durch Gleiten den Kontaktbereich verlassen. [0023] Eine weitere Ausgestaltung der erfindungsgemäßen Anordnung sieht vor, daß die Deckschicht eine Oberkante aufweist und der leitende Kontakt oberhalb der Oberkante angeordnet ist. Der Vorteil dieser Anordnung ist eine größere Kontaktfläche und somit ein reduzierter Widerstand, insbesondere dann wenn eine dünne dielektrische Barriere wie z. B. 1 nm dickes Siliziumnitrid verwendet wird.

[0024] Weiterhin ist vorgesehen, daß die Diffusionsbarriere auf dem leitenden Kontakt angeordnet ist.

[0025] Bezüglich des Verfahrens wird die gestellte Aufgabe gelöst durch ein Verfahren zur Herstellung einer Halbleiterspeicherzelle mit:

- Bilden eines Grabenkondensators in einem Graben, der einen oberen Bereich und einen unteren Bereich aufweist und mit einer leitenden Grabenfüllung gefüllt ist;
- Bilden einer Diffusionsbarriere auf der leitenden Grabenfüllung;
- Epitaktisches Überwachsen der Diffusionsbarriere mit einer Epitaxieschicht;
- anschließend Bilden eines Auswahltransistors als planaren Transistor oberhalb des Grabenkondensators, wobei ein Source-Dotiergebiet des Auswahltransistors in der Epitaxieschicht gebildet wird.

[0026] Eine Ausgestaltung des erfindungsgemäßen Verfahrens sieht vor, daß nach einem epitaktischen Überwachsen der Diffusionsbarriere ein Reflow-Prozeß bei einer höheren Temperatur durchgeführt wird als das epitaktische Überwachsen. Der Vorteil eines Reflow-Prozesses besteht darin, daß das epitaktisch aufgewachsene Silizium durch die erhöhte Temperatur beispielsweise durch einen Fließeffect eine Oberfläche planarisieren kann und Wachstumsdefekte ausgeheilt werden.

[0027] Eine weitere vorteilhafte Ausgestaltung des erfindungsgemäßen Verfahrens sieht vor, daß der Reflow-Prozeß unter Zugabe von Wasserstoff durchgeführt wird. Der Vorteil dieses Verfahrensschrittes besteht darin, daß eine verbesserte Planarisierung und eine weitere Reduzierung von

Wachstumsdefekten erreicht wird.

[0028] Weitere vorteilhafte Ausgestaltungen sind Gegenstand der abhängigen Ansprüche.

[0029] Die Erfindung wird nachfolgend anhand von Ausführungsbeispielen und Figuren näher erläutert. In den Figuren zeigen:

[0030] Fig. 1 einen Grabenkondensator mit einem Auswahltransistor;

[0031] Fig. 2 ein weiteres Ausführungsbeispiel eines Grabenkondensators mit einem Auswahltransistor;

[0032] Fig. 3 ein weiteres Beispiel eines Grabenkondensators mit Auswahltransistor, wobei der Grabenkondensator mit einem leitenden Kontakt an den Auswahltransistor angeschlossen ist;

[0033] Fig. 4 bis 8 ein Herstellungsverfahren zur Bildung der in Fig. 3 dargestellten Speicherzelle;

[0034] Fig. 9 bis 11 ein Herstellungsverfahren zur Bildung der in Fig. 2 dargestellten Speicherzelle.

[0035] In Fig. 1 ist eine erfindungsgemäße Speicherzelle 1 dargestellt. Die Speicherzelle 1 ist in einem Substrat 2 gebildet. Üblicherweise handelt es sich bei dem Substrat 2 um Silizium, welches leicht p- bzw. n-dotiert (10^{15} – 10^{17} Dotierstoffatome pro Kubikzentimeter) sein kann. Die Speicherzelle 1 umfaßt einen Grabenkondensator 3 und einen Auswahltransistor 4. Der Grabenkondensator 3 ist in einem Graben 5 gebildet, wobei der untere Bereich des Grabens 5 von einer vergrabenen Platte 6 umgeben ist. Bei der vergrabenen Platte 6 handelt es sich um eine leitfähige Schicht, die beispielsweise durch Einbringen von Dotierstoff in das Substrat 2 gebildet werden kann. Entsprechend der Grunddotierung des Substrats 2. Die n- bzw. p-Dotierung aufweisen kann, ist die vergrabene Platte mit bis zu 10^{21} Dotierstoff/cm³ wesentlich stärker dotiert, die vergrabene Platte 6 wird von einer vergrabenen Wanne 7 elektrisch kontaktiert, bei der es sich ebenfalls um eine dotierte Schicht handelt, die den gleichen Dotierstofftyp aufweist wie die vergrabene Platte 6. In einem oberen Bereich des Grabens 5 ist ein Isolationskragen 9 angeordnet. Üblicherweise ist der Isolationskragen 9 aus Siliziumoxid, Siliziumnitrid bzw. einem Siliziumoxynitrid gebildet. Weiterhin ist in dem Graben 5 eine dielektrische Schicht 8 gebildet, die in dem unteren Bereich des Grabens 5 die vergrabene Platte 6 isoliert und in dem oberen Bereich des Grabens 5 auf dem Isolationskragen 9 verläuft. Die dielektrische Schicht 8 ist beispielsweise aus einem Siliziumoxynitrid gebildet. Wahlweise kann es sich auch um einen Schichtstapel aus Siliziumoxid, Siliziumnitrid und Siliziumoxynitrid handeln. Die dielektrische Schicht 8 hat die Aufgabe, die vergrabene Platte 6 gegen eine leitende Grabenfüllung 10, die in dem Graben 5 angeordnet ist, zu isolieren. Die vergrabene Platte 6 stellt dabei eine äußere Kondensatorelektrode, die leitende Grabenfüllung 10 eine innere Kondensatorelektrode und die dielektrische Schicht 8 das Kondensatordielektrikum dar.

[0036] Zur Isolation von benachbarten Speicherzellen, die in Fig. 1 nicht weiter dargestellt sind, dient ein Isolationsgraben 11, der üblicherweise als STI (shallow trench isolation) bezeichnet wird. Der Auswahltransistor 4 umfaßt ein Source-Gebiet 12, ein Drain-Gebiet 13 und ein Gate 14, auf dem eine Wortleitung 15 angeordnet ist. Das Source-Gebiet 12 ist mit einem Bitleitungskontakt 16 an eine Bitleitung 17 angeschlossen. Die Bitleitung 17 wird von der Wortleitung 15 mittels einer Zwischenisolation 18 isoliert. Das Drain-Gebiet 13 liegt oberhalb des Grabens 5, wobei das Drain-Gebiet 13 mittels einer Diffusionsbarriere 19 an die leitende Grabenfüllung 10 angeschlossen ist. Üblicherweise ist die leitende Grabenfüllung 10 als hochdotiertes und damit niederohmiges Silizium ausgebildet. Um zu verhindern, daß die Dotierung der leitenden Grabenfüllung 10 in das Drain-

Gebiet 13 oder womöglich in den Kanal des Auswahltransistors 4 diffundiert, ist eine Diffusionsbarriere 19 zwischen der leitenden Grabenfüllung 10 und dem Drain-Dotiergebiet 13 angeordnet. In diesem Ausführungsbeispiel ist die Diffusionsbarriere 19 planar auf der leitenden Grabenfüllung 10 angeordnet. Die Diffusionsbarriere 19 erstreckt sich dabei von der dielektrischen Schicht 8 bis zu dem Isolationsgraben 11.

[0037] In Fig. 2 ist ein weiteres Ausführungsbeispiel einer erfindungsgemäßen Speicherzelle 1 dargestellt. Der Unterschied zu Fig. 1 besteht darin, daß auf der leitenden Grabenfüllung 10 eine isolierende Deckschicht 20 mit einem Innenloch 21 angeordnet ist. In dem Innenloch 21 ist in diesem Ausführungsbeispiel die Diffusionsbarriere 19 angeordnet. Beispielsweise ist die isolierende Deckschicht 20 aus Siliziumoxid oder Siliziumnitrid bzw. einem Siliziumoxynitrid gebildet. Die Diffusionsbarriere 19 kontaktiert die leitende Grabenfüllung 10 mit dem Drain-Dotiergebiet 13. Da ein Teil der Querschnittsfläche des Grabens 5 von der isolierenden Deckschicht 20 bedeckt wird, und lediglich der Bereich des Innenlochs 21 und die Diffusionsbarriere 19 von dem Drain-Gebiet 13 kontaktiert werden, kann das Drain-Gebiet 13 und damit der Auswahltransistor 4 wesentlich kleiner ausgebildet werden. Dies hat den Vorteil, daß ein größerer Anteil der Substratoberfläche von dem Grabenkondensator 3 genutzt werden kann, und damit die Kapazität des Grabenkondensators 3 gesteigert werden kann.

[0038] Mit Bezug auf Fig. 3 ist ein weiteres Ausführungsbeispiel einer erfindungsgemäßen Speicherzelle 1 dargestellt. Der Unterschied zu Fig. 2 besteht darin, daß in dem Innenloch 21, das in der isolierenden Deckschicht 20 angeordnet ist, ein leitender Kontakt 22 gebildet ist. Der leitende Kontakt 22 ist seinerseits mit einer Diffusionsbarriere 19 bedeckt, so daß die Ausdiffusion von Dotierstoff aus der leitenden Grabenfüllung 10 durch die Diffusionsbarriere 19 verhindert wird. Der leitende Kontakt 22 ist so gebildet, daß er über eine Oberkante 27 der isolierenden Deckschicht 20 hinausragt und somit in das Drain-Dotiergebiet 13 hineinragt. Dadurch wird ein niederohmiger Kontakt zwischen der leitenden Grabenfüllung 10 und dem Drain-Gebiet 13 gewährleistet.

[0039] Mit Bezug auf die Fig. 4 bis 8 wird ein Verfahren zur Herstellung der in Fig. 3 dargestellten Speicherzelle 1 beschrieben. Mit Bezug auf Fig. 4 wird ein Substrat 2, bei dem es sich beispielsweise um ein p-dotiertes Siliziumsubstrat handelt, bereitgestellt. Auf dem Substrat 2 wird eine Maske 23 angeordnet, die dazu verwendet wird, den Graben 5 zu ätzen. Mit den üblichen Verfahren wird anschließend der Isolationskragen 9 in dem oberen Bereich des Grabens 5 gebildet. Durch Einbringen von Dotierstoff in den Graben 5 wird in dem unteren Bereich des Grabens 5 die vergrabene Platte 6 gebildet. Da das Substrat 2 schwach p-dotiert ist, wird als Dotierung der vergrabenen Platte 6 eine hohe n-Dotierung gewählt. Die vergrabene Wanne 7 kann beispielsweise durch eine Implantation in das Substrat 2 eingebracht werden, ebenfalls n-dotiert ausgebildet sein und eine elektrische Verbindung zu der vergrabenen Platte 6 aufweisen.

[0040] Mit Bezug auf Fig. 5 wird die dielektrische Schicht 8 in den Graben 5 eingebracht. Dazu werden beispielsweise CVD- (chemical vapour deposition) Verfahren und thermische Oxidationsverfahren verwendet. Beispielsweise wird zuerst eine thermische Oxidschicht in dem Graben 5 gebildet, die anschließend mit einer CVD-Nitrid-Schicht überwachsen wird. Anschließend wird die leitende Grabenfüllung 10 in dem Graben 5 gebildet. Die leitende Grabenfüllung 10 wird beispielsweise aus arsen- bzw. phosphordotiertem amorphem Silizium oder Polysilizium gebildet. Dazu kann das dotierte Silizium beispielsweise mit einem entspre-

chenden CVD-Verfahren abgeschieden werden. Ebenfalls ist es möglich, mit einem CVD-Verfahren eine Wolframschicht, eine Wolframnitridschicht bzw. eine Wolframsilizidschicht als leitende Grabenfüllung 10 abzuschneiden. Da sowohl die dielektrische Schicht 8 als auch die leitende Grabenfüllung 10 mit einem ganzflächigen Abscheidungsprozeß durchgeführt werden, lagert sich die dielektrische Schicht 8 und die leitende Grabenfüllung 10 ebenfalls auf der Maske 23 ab.

[0041] Mit Bezug auf Fig. 6 wird die leitende Grabenfüllung 10 und die dielektrische Schicht 8 von der Maske 23 entfernt und in den Graben 5 eingesenkt. Dabei bleibt zunächst der Isolationskragen 9 stehen und lediglich die dielektrische Schicht 8 und die leitende Grabenfüllung 10 werden in den Graben 5 eingesenkt. Anschließend wird in Spacer-Technik die isolierende Deckschicht 20 in dem Graben 5 gebildet. Dabei weist die isolierende Deckschicht 20 ein Innenloch 21 auf. In das Innenloch 21 wird der leitende Kontakt 22 abgeschieden. Der leitende Kontakt 22 wird dabei beispielsweise aus dotiertem Polysilizium oder amorphem Silizium oder aber einem Metall wie Wolfram oder Wolframnitridschicht gebildet. Der leitende Kontakt 22 entsteht dabei in dem Innenloch 21 der isolierenden Deckschicht 20. Optional kann beispielsweise eine Isolationschicht bzw. eine Diffusionsbarriere 19 auf dem leitenden Kontakt 22 gebildet werden.

[0042] Mit Bezug auf Fig. 7 wird der Isolationskragen 9 und die isolierende Deckschicht 20 zurückgeätzt. Dies kann beispielsweise mit einer zeitgesteuerten Bor-Flußsäure-Naßätzung bzw. einem reaktiven Ionenätzen mit CF_4 durchgeführt werden.

[0043] Mit Bezug auf Fig. 8 wird in dem Graben 5 oberhalb des Isolationskragens 9 auf das freigelegte Substrat 2 eine selektive Silizium-Epitaxieschicht gebildet. Dazu wird beispielsweise eine trockene Flußsäure-Vorreinigung durchgeführt. Anschließend kann bei 900°C unter Zugabe von Wasserstoff mit einem Druck von 20 Torr die Grenzfläche zu dem Substrat 2 von einem natürlichen Oxid gereinigt werden. Es wird eine selektive Epitaxie bei $800\text{--}1000^\circ\text{C}$ unter Zugabe von Silan und Wasserstoff für eine undotierte Siliziumschicht, oder unter Zugabe von Silan, Wasserstoff und Arsin bzw. Phosphin für eine in situ Dotierung der aufgewachsenen Epitaxieschicht eingeleitet. Geeignet ist auch zunächst eine undotierte Epitaxieschicht zu wachsen, einen Reflow-Prozeß durchzuführen und anschließend eine Arsen bzw. Phosphor in situ dotierte Epitaxieschicht aufzuwachsen. Die Prozeßelemente bestehend aus undotierter Epitaxie, dotierter Epitaxie und Reflow-Prozeß können in entsprechenden Sequenzen auch mehrmals hintereinander ausgeführt werden. Durch einen bzw. mehrere während der selektiven Epitaxie durchgeführte Reflow-Prozesse, die unter Zugabe von Wasserstoff bei $900\text{--}1100^\circ\text{C}$ durchgeführt werden, wird die Oberfläche der aufgewachsenen Epitaxieschicht planarisiert und es werden eventuelle Wachstumsdefekte in der Epitaxieschicht beseitigt. Im Vergleich zur herkömmlichen Epitaxie, die ebenfalls durchgeführt werden kann, hat dieser neuartige Prozeß den Vorteil, daß durch einen in situ Wasserstoff-Reflow-Prozeß bei einer Temperatur, die höher als die Wachstumstemperatur ist, die Defektdichte bzw. die Wachstumsdefekte in der Epitaxieschicht vermindert werden können. Der angegebene Reflow-Prozeß kann während einer Epitaxie mehrfach durchgeführt werden, um die Wachstumsdefekte weiter zu vermindern und um durch eine wiederholte Abfolge von Epitaxie und Reflow und Epitaxie und Reflow die Epitaxieschicht defektfrei an beliebig komplizierte Topographien anzupassen. Anschließend wird die Epitaxieschicht 24 mittels der Maske 23 eingesenkt, um z. B. mit der Oberfläche des Substrates 2 abzuschließen. Diese Einsenkung kann bereits beim Reflow-Prozeß erfol-

gen, wenn die Dicke der EPI-p-Scheibe entsprechend dem zu füllenden Volumen wählt.

[0044] Mit herkömmlichen Verfahren wird der Auswahltransistor 4 in bzw. auf dem Substrat 2 gebildet.

[0045] Mit Bezug auf Fig. 4, 5, 9, 10 und 11 wird eine Verfahrensvariante zur Herstellung der in Fig. 2 dargestellten Speicherzelle beschrieben. Die Herstellungsschritte, die sich auf die Fig. 4 und 5 beziehen, werden so durchgeführt, wie sie bereits oben beschrieben wurden. Ausgehend von Fig. 5 wird mit Bezug auf Fig. 9 der Graben 5 mit der isolierenden Deckschicht 20 gefüllt. Üblicherweise wird dies mit einem ganzflächigen CVD-Prozeß durchgeführt, wobei die isolierende Deckschicht 20 anschließend durch Planarisierung von der Maske 23 entfernt und mittels eines Einsenkprozesses, wie einem reaktiven Ionenätzen (RIE), in den Graben 5 eingesenkt wird. Dabei wird ebenfalls der Isolationskragen 9 und die dielektrische Schicht 8 aus einem oberen Bereich des Grabens 5 entfernt.

[0046] Mit Bezug auf Fig. 10 wird eine Spacer-Maske 25 mittels Spacer-Technik hergestellt. Die Spacer-Maske 25 wird beispielsweise mit einem Oxid-CVD-Verfahren und entsprechenden Rückätzschritten hergestellt. In einem anschließenden RIE (reactive ion etch) Ätzschritt wird die Spacer-Maske 25 dazu verwendet, ein Innenloch 21 in der isolierenden Deckschicht 20 zu bilden. Das Innenloch 21 reicht dabei bis auf die leitende Grabenfüllung 10 und legt diese frei. Anschließend wird auf der leitenden Grabenfüllung 10 in dem Innenloch 21 eine Diffusionsbarriere 19 aus Siliziumoxid, Siliziumnitrid, Siliziumoxinitrid mit typischerweise unter $1,5\text{ nm}$ Dicke gebildet. Leitfähige Schichten sind beispielsweise aus Nitriden bzw. Siliziden wie Wolframnitridschicht, Titanitrid, Tantalnitrid, Titansilizid, Kobaltsilizid, Wolframsilizid oder geeigneten weiteren Metallen oder Legierungen gebildet. Anschließend wird in dem Innenloch 21 eine Opferschicht 26 gebildet.

[0047] Mit Bezug auf Fig. 11 wird zunächst die Spacer-Maske 25 durch einen selektiven Ätzprozeß entfernt. Anschließend wird ebenfalls in einem selektiven Ätzschritt die Opferschicht 26 entfernt. Nun liegt in einem oberen Bereich des Grabens 5 das Substrat 2 frei, so daß in einem nachfolgenden Epitaxieschritt die isolierende Deckschicht 20 und die Diffusionsbarriere 19 mit undotiertem bzw. dotiertem Silizium überwachsen werden. Da bei dem epitaktischen Wachstumsprozeß das epitaktisch aufgewachsene Silizium aus dem Graben 5 heraus auf die Maske 23 wächst, wird das aufgewachsene Silizium in einem Planarisierungs- und einem Einsenkschritt auf die Höhe des Substrates 2 planarisiert. Dies wird beispielsweise mit einem RIE-Einsenkprozeß oder mit einem Reflow-Prozeß erreicht. Das epitaktische Wachstum der Epitaxieschicht 24 kann auch in diesem Ausführungsbeispiel durch einen oder mehrere zwischenzeitlich durchgeführte Reflow-Prozesse verbessert werden, wodurch Wachstumsdefekte in der Epitaxieschicht verringert werden.

Bezugszeichenliste

- 1 Speicherzelle
- 2 Substrat
- 3 Grabenkondensator
- 4 Auswahltransistor
- 5 Graben
- 6 Vergrabene Platte
- 7 Vergrabene Wanne
- 8 Dielektrische Schicht
- 9 Isolationskragen
- 10 Leitende Grabenfüllung
- 11 Isolationsgraben

12 Source-Dotiergebiet
 13 Drain-Dotiergebiet
 14 Leiter
 15 Verleitung
 16 Bitleitungskontakt
 17 Bitleitung
 18 Zwischenisolation
 19 Diffusionsbarriere
 20 Isolierende Deckschicht
 21 Innenloch
 22 Leitender Kontakt
 23 Maske
 24 Epitaxieschicht
 25 Spacer-Maske
 26 Opferschicht
 27 Oberkante

Patentansprüche

1. Halbleiterspeicher mit:
 einem Graben (5), in dem ein Grabenkondensator (3) angeordnet ist;
 einem Auswahltransistor (4), der als planarer Transistor oberhalb des Grabenkondensators (3) angeordnet ist;
 einem Kondensatordielektrikum (8), das in dem Graben (5) angeordnet ist;
 einer leitenden Grabenfüllung (10), die in dem Graben (5) angeordnet ist;
 einer Diffusionsbarriere (19), die auf der leitenden Grabenfüllung (10) angeordnet ist;
 einer epitaktisch über die Diffusionsbarriere (19) gewachsenen Epitaxieschicht (24);
 einem Drain-Dotiergebiet (13) des Auswahltransistors (4), das in der Epitaxieschicht (24) angeordnet ist.
 2. Halbleiterspeicher nach Anspruch 1, dadurch gekennzeichnet, daß das Drain-Dotiergebiet (13) des Auswahltransistors (4) von unten mit der Diffusionsbarriere (19) kontaktiert wird.
 3. Halbleiterspeicher nach einem der Ansprüche 1 oder 2, dadurch gekennzeichnet, daß die Diffusionsbarriere (19) horizontal angeordnet ist.
 4. Anordnung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß auf der leitenden Grabenfüllung (10) eine isolierende Deckschicht (20) mit einem Innenloch (21) angeordnet ist.
 5. Halbleiterspeicher nach Anspruch 4, dadurch gekennzeichnet, daß in dem Innenloch (21) ein leitender Kontakt (22) angeordnet ist.
 6. Halbleiterspeicher nach Anspruch 5, dadurch gekennzeichnet, daß der leitende Kontakt (22) die leitende Grabenfüllung (10) an das Drain-Dotiergebiet (13) des Auswahltransistors (4) anschließt.
 7. Halbleiterspeicher nach einem der Ansprüche 4 bis 6, dadurch gekennzeichnet, daß die Querschnittsfläche des Innenlochs (21) in der isolierenden Deckschicht (20) kleiner ist als die Querschnittsfläche des Grabens (5).
 8. Halbleiterspeicher nach einem der Ansprüche 4 bis 7, dadurch gekennzeichnet, daß die isolierende Deckschicht (20) als seitlicher Randsteg ausgebildet ist.
 9. Halbleiterspeicher nach einem der Ansprüche 4 bis 8, dadurch gekennzeichnet, daß die isolierende Deckschicht (20) eine Oberkante (27) aufweist und die Diffusionsbarriere (19) vollständig unterhalb der Oberkante (27) angeordnet ist.
 10. Halbleiterspeicher nach einem der Ansprüche 4 bis 9, dadurch gekennzeichnet, daß die isolierende Deck-

schicht (20) eine Oberkante (27) aufweist und der leitende Kontakt (22) oberhalb der Oberkante (27) angeordnet ist.

11. Halbleiterspeicher nach einem der Ansprüche 5 bis 10, dadurch gekennzeichnet, daß die Diffusionsbarriere (19) auf dem leitenden Kontakt (22) angeordnet ist.

12. Verfahren zur Herstellung einer Halbleiterspeicherzelle mit den Schritten:

- Bilden eines Grabenkondensators (3) in einem Graben (5), der einen oberen Bereich und einen unteren Bereich aufweist und mit einer leitenden Grabenfüllung (10) gefüllt ist;
- Bilden einer Diffusionsbarriere (19) auf der leitenden Grabenfüllung (10);
- epitaktisches Überwachsen der Diffusionsbarriere (19) mit einer Epitaxieschicht (24);
- anschließendes Bilden eines Auswahltransistors (4) als planarer Transistor oberhalb des Grabenkondensators (3), wobei ein Drain-Gebiet (13) des Auswahltransistors (4) in der Epitaxieschicht (24) gebildet wird.

13. Verfahren nach Anspruch 12, dadurch gekennzeichnet, daß nach einem epitaktischen Überwachsen der Diffusionsbarriere (19) ein Reflow-Prozeß bei einer höheren Temperatur durchgeführt wird als das epitaktische Überwachsen.

14. Verfahren nach Anspruch 13, dadurch gekennzeichnet, daß der Reflow-Prozeß unter Zugabe von Wasserstoff durchgeführt wird.

15. Verfahren nach einem der Ansprüche 13 oder 14, dadurch gekennzeichnet, daß die Prozeßabfolge bestehend aus epitaktischem Aufwachsen und Reflow-Prozeß mindestens einmal wiederholt wird.

Hierzu 8 Seite(n) Zeichnungen

FIG 1

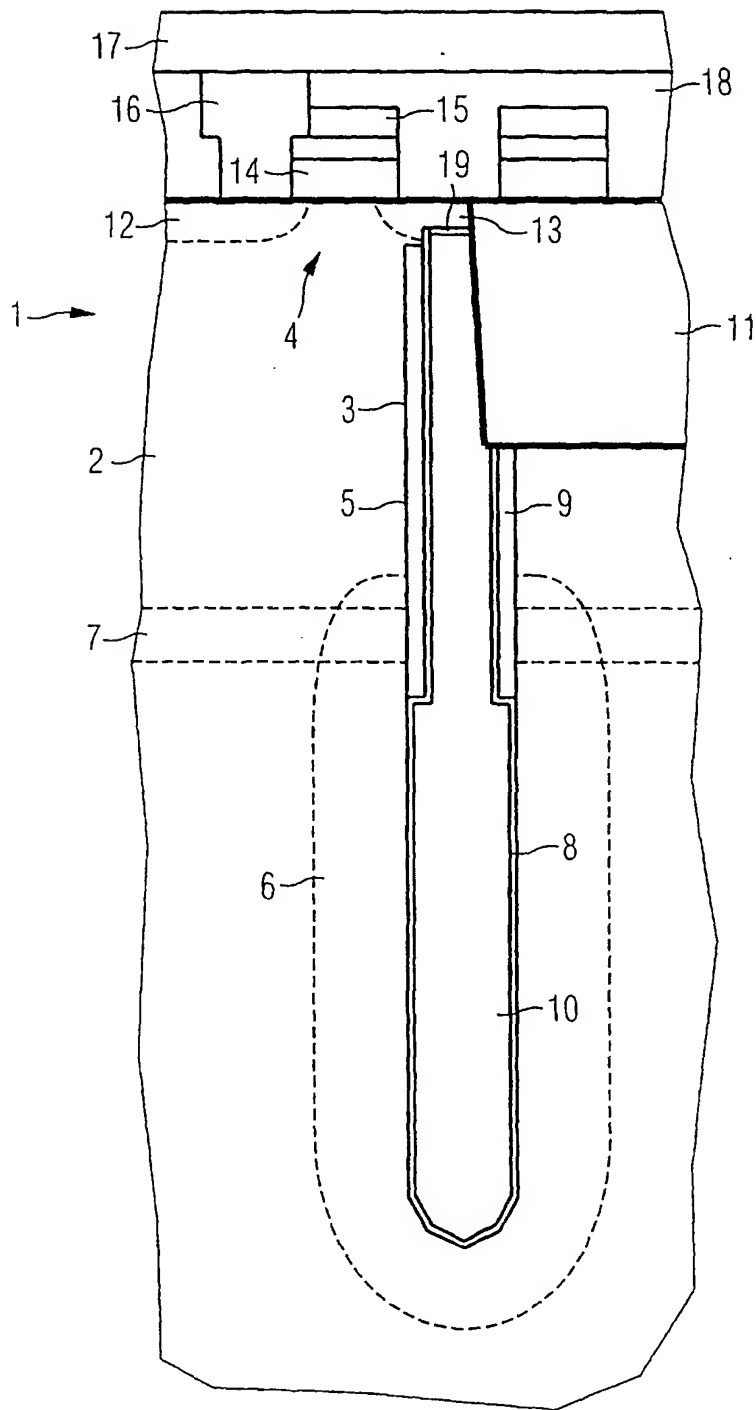


FIG 2

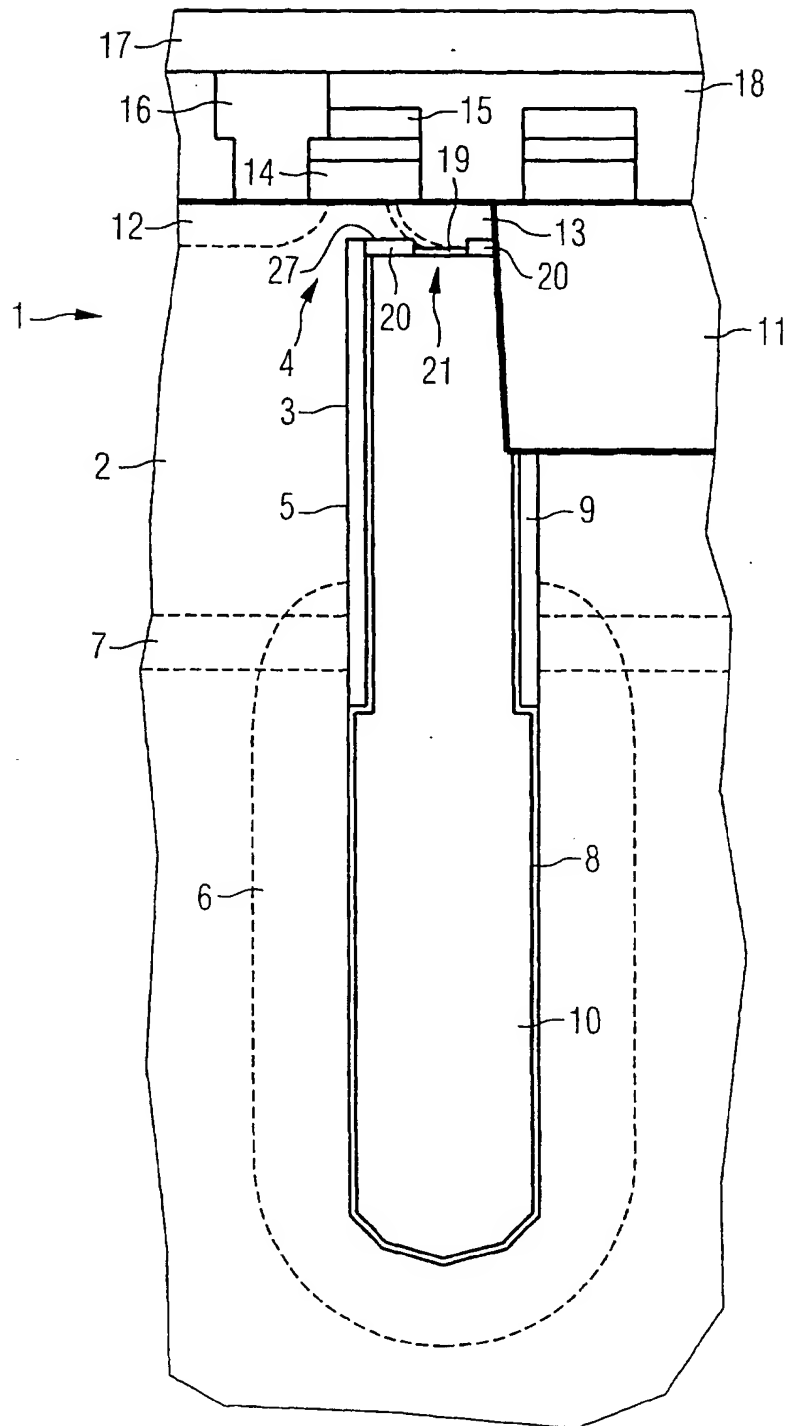


FIG 3

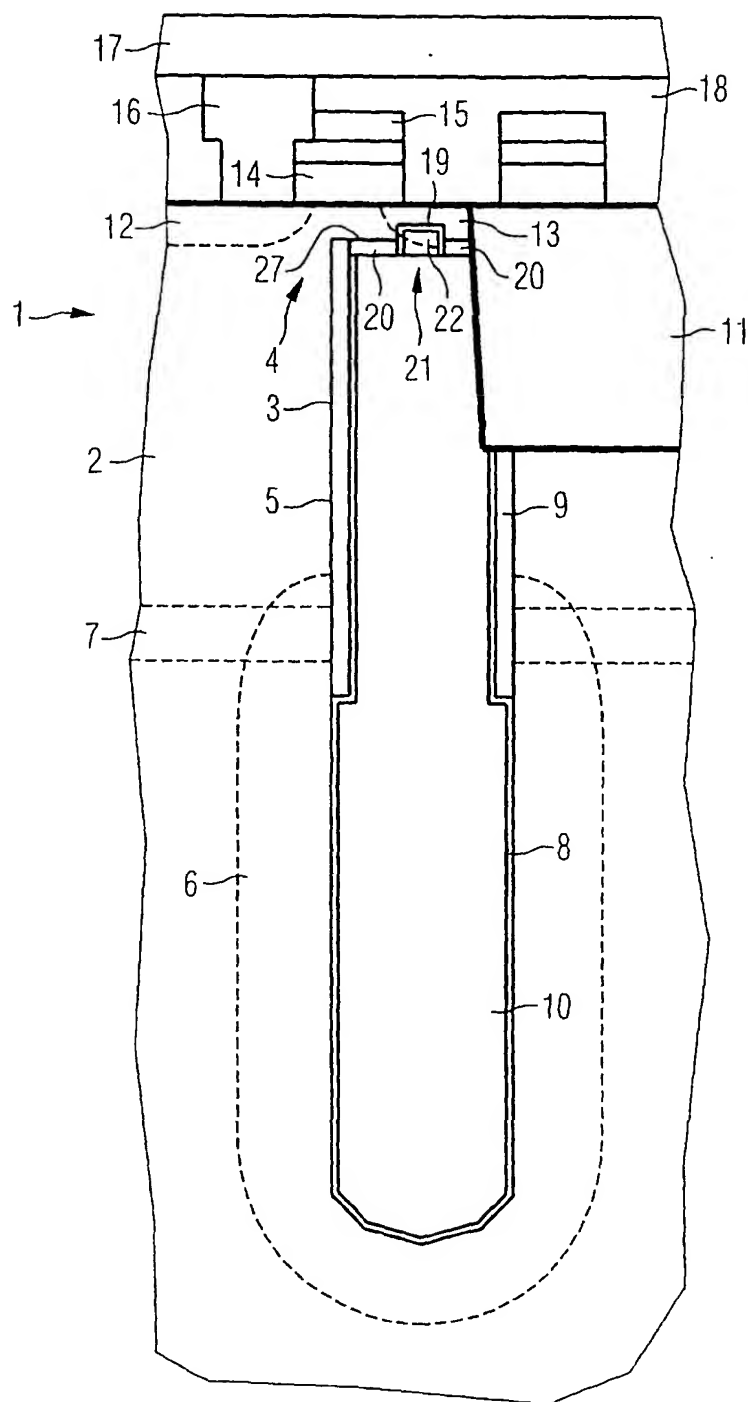


FIG 4

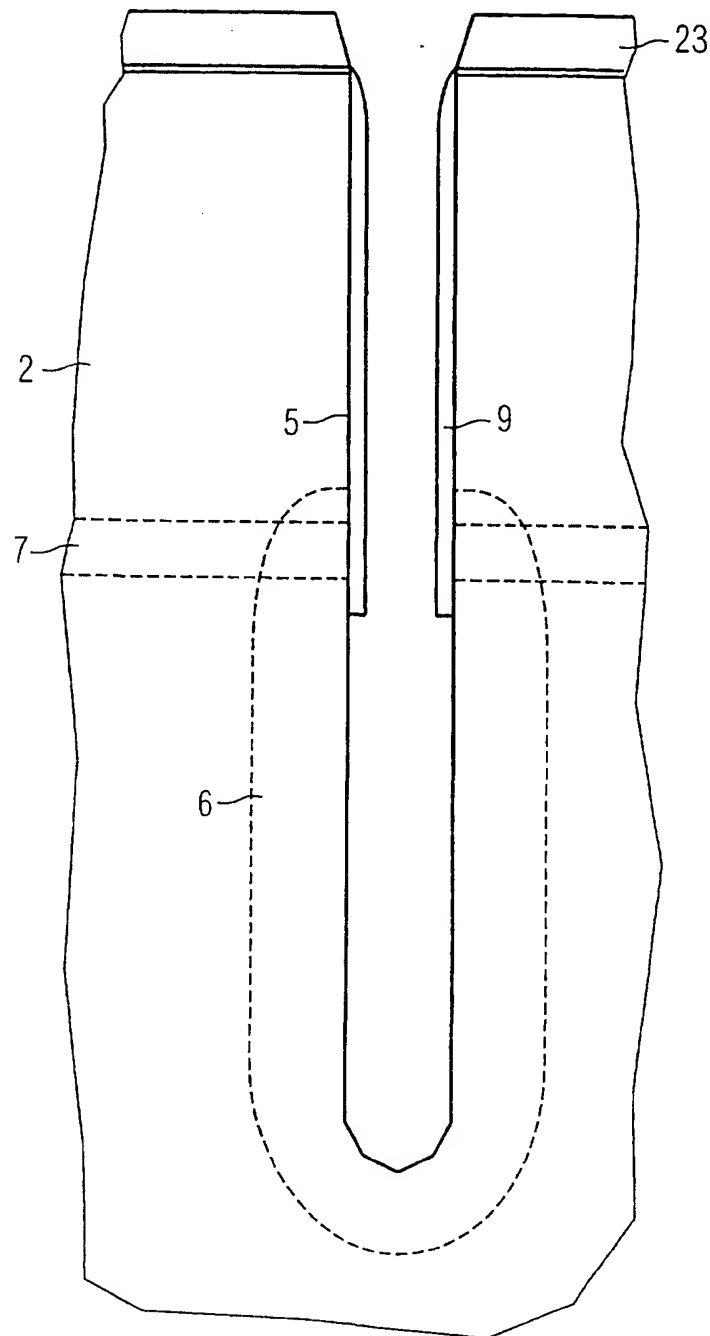


FIG 5

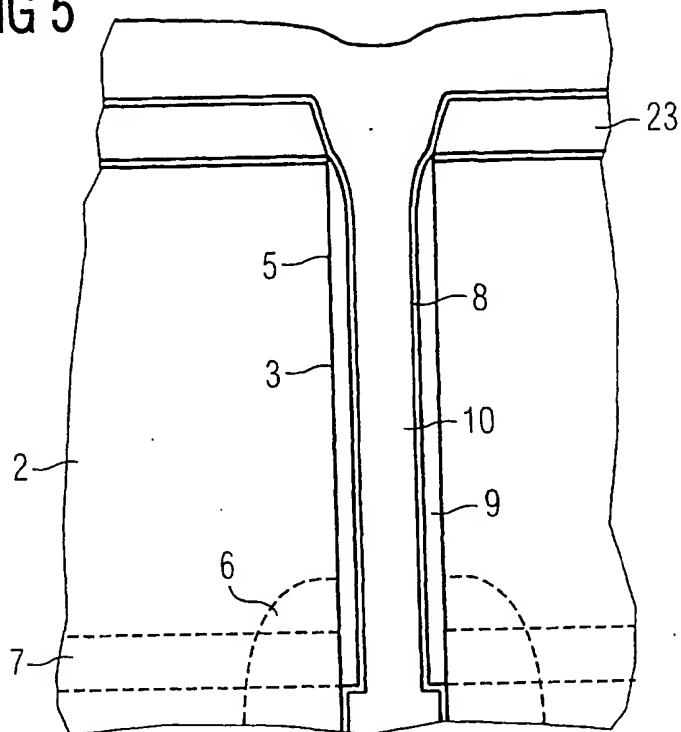


FIG 6

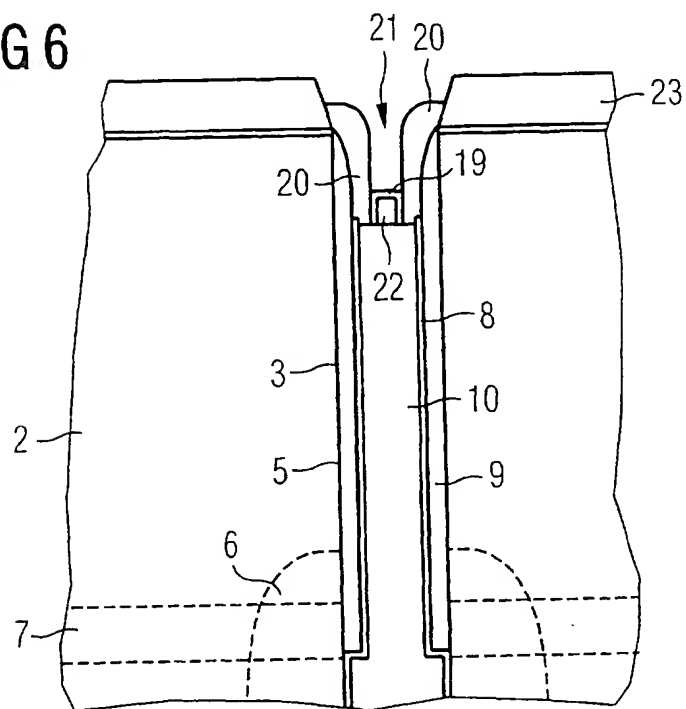


FIG 7

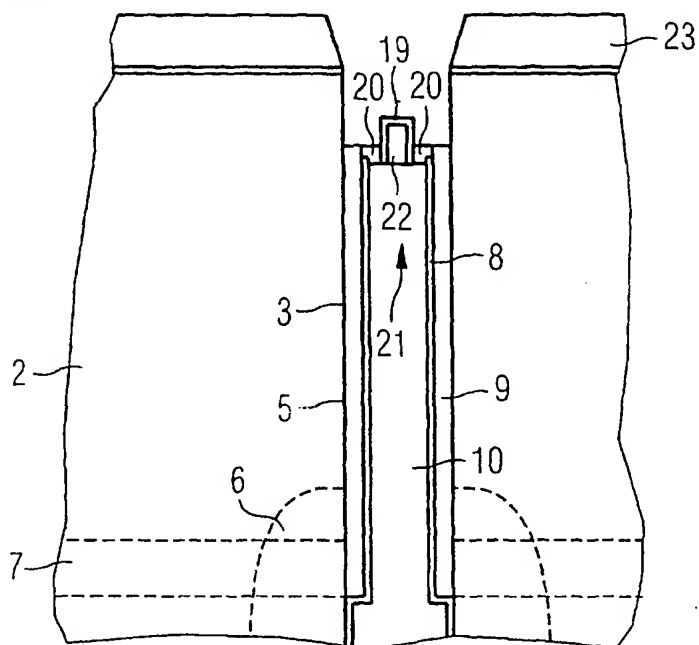


FIG 8

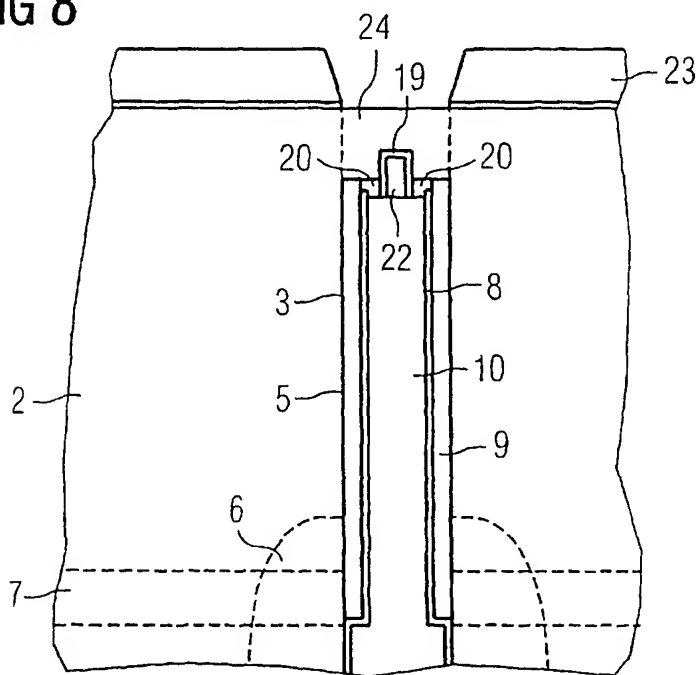


FIG 9

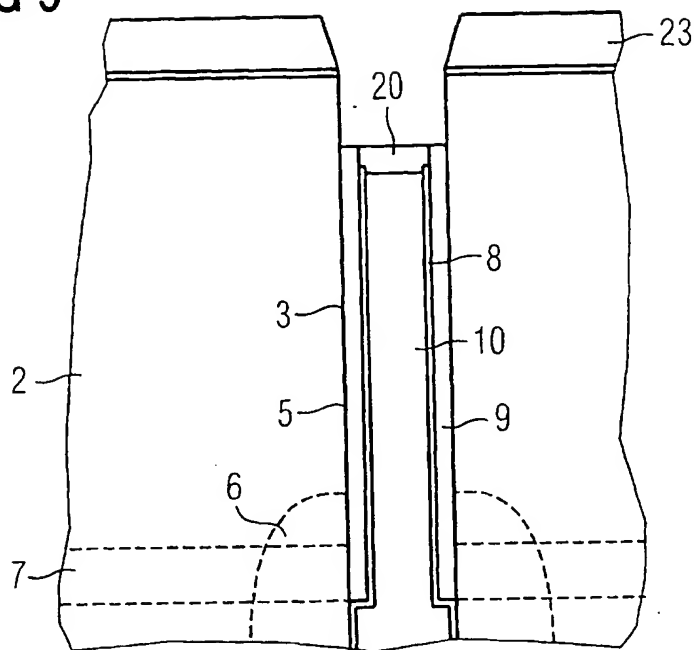


FIG 10

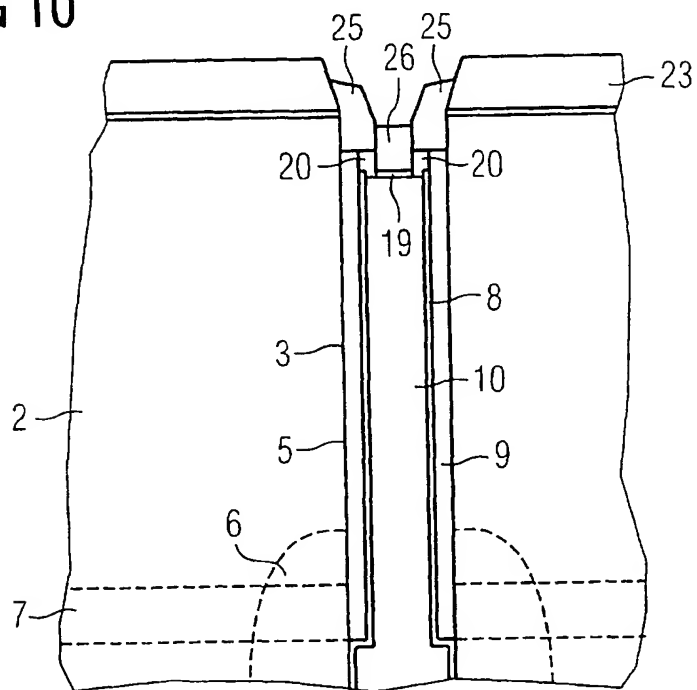
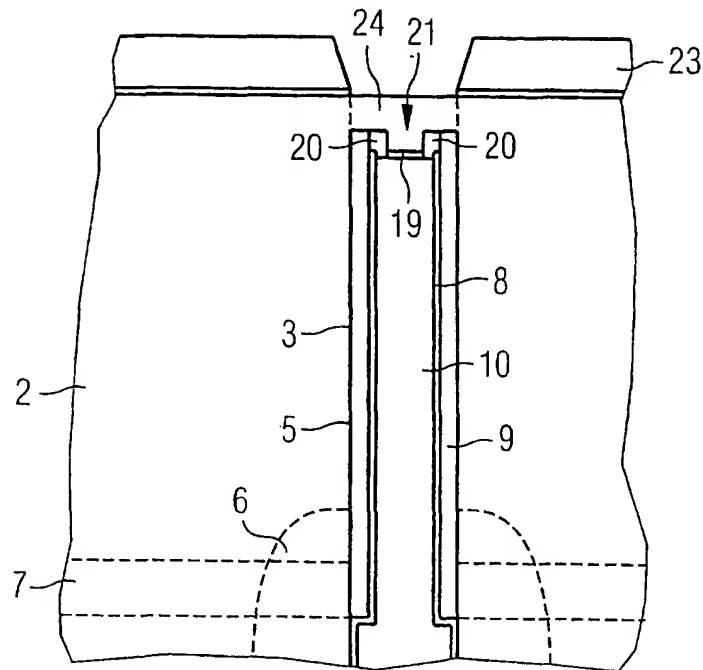


FIG 11



No English title available.

Patent Number: DE10045694
Publication date: 2002-04-04
Inventor(s): SCHREMS MARTIN (DE)
Applicant(s): INFINEON TECHNOLOGIES AG (DE)
Requested Patent: DE10045694
Application Number: DE20001045694 20000915
Priority Number(s): DE20001045694 20000915
IPC Classification: H01L27/108; H01L21/8242
EC Classification: H01L21/8242B6, H01L27/108F8E
Equivalents: EP1317777, WO0223636

Abstract

The invention relates to a semiconductor memory cell (1), which is formed in a substrate (2) and comprises a trench capacitor (3) and a select transistor (4). The trench capacitor (3) comprises a capacitor dielectric (8) and a conductive trench fill material (10). A diffusion barrier (19) is located on the conductive trench fill material (10) and an epitaxial layer (24) is formed on top of said barrier. The select transistor (4) is a planar transistor, positioned above the trench capacitor (3), whereby a drain doping region (13) of said select transistor (4) is located in the epitaxial layer (24).

Data supplied from the esp@cenet database - I2

Docket # P2001,0158

Applic. # _____

Applicant: W. Gustin et al.

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100 Fax: (954) 925-1101